

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-36037

(43)公開日 平成8年(1996)2月6日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G O I R 31/319

27/28

$$z$$

G 0 1 R 31/ 28

R

審査請求 未請求 請求項の数 2 FD (全 4 頁)

(21)出願番号 特願平6-189859

(22)出願日 平成6年(1994)7月20日

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 佐藤 和彦

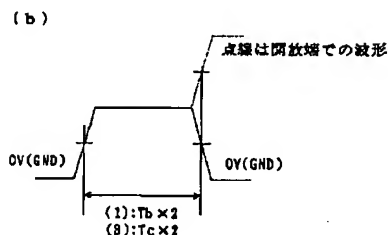
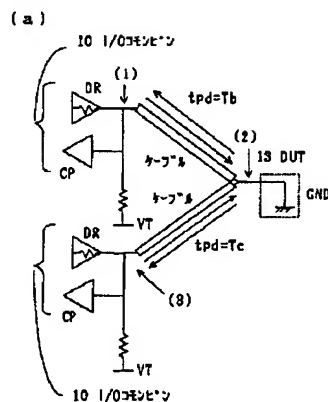
東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

(54) 【発明の名称】 伝送経路の伝播遅延時間測定回路

(57) 【要約】

【目的】 I/Oセパレート試験の接続状態でDRとDUT間及びDUTとCP間の遅延時間を測定する簡単な回路を実現する。

【構成】 I/Oコモンピンを2ピン使用しDUT1ピンに接続する、I/Oセパレート試験の接続回路において、DUTソケット端を接地している。また、DR専用ピンとI/Oコモンピンを使用し、DUT1ピンに接続する、I/Oセパレート試験の接続回路において、DUTソケット端を接地し、コンパレータとして全ピン共通コンパレータを使用している。



1

【特許請求の範囲】

【請求項1】 I/Oコモンピン(10)を2ピン使用しDUT(13)1ピンに接続する、I/Oセパレート試験の接続回路において、

DUT(13)ソケット端を接地した、

ことを特徴とする伝送経路の伝播遅延時間測定回路。

【請求項2】 ドライバ(DR)専用ピン(11)とI/Oコモンピン(10)を使用しDUT(13)1ピンに接続する、I/Oセパレート試験の接続回路において、

DUT(13)ソケット端を接地し、

全ピン共通コンパレータ(12)を使用した、

ことを特徴とする伝送経路の伝播遅延時間測定回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、I/Oデッドバンドをなくする方式に対し、被DUT端に接続されるケーブル等の遅延時間を測定する伝送経路の伝播遅延時間測定回路に関するものである。

【0002】

【従来の技術】半導体試験装置において、通常のI/Oピンエレクトロニクス回路は、図3(a)に示すようなドライバ(DR)とコンパレータ(CP)の両方の機能を持つI/Oコモンピン10となっている。そして、DR及びCPと被試験デバイス(DUT)13とは伝播遅延時間長 T_a のケーブルで接続されている。図3(b)に書き込み、読みだし動作を繰り返す場合のタイミング図を示す。ここで、DUTからの読みだしデータRは、時間 T_a 後にCP端に到達する。この読みだし動作の終了後、ただちに書き込み動作を行うには、DUTへの書き込みデータWより時間 T_a だけ早くDRからデータWを出力しなければならない。DRから出力されたデータWは、時間遅れなしにCP端にも到達する。するとCP端にはDUTからの読みだしデータRと、自らのDRから出力されたデータWの合成されたものが入力される時間が生じる。この合成されている時間は、 T_a の2倍で、この間はCPで正しい比較判定ができない。この範囲をI/Oデッドバンド20と言い、DR及びCPとDUT間の伝播遅延時間長 T_a で決定される。

【0003】上記伝播遅延時間長 T_a を測定するためには、図4(a)のようにDUT側を開放にする。このときDRから出力された波形は、ケーブルを伝わりケーブル開放端に達する。その後、反射した波形が同じケーブルを伝わりCP側で観測できる。その波形は、図4(b)に示すようになり、この波形から往復時間がわかる。つまりケーブルの伝播遅延時間 T_a は、測定した反射波の1/2となる。

【0004】ところで、上記I/Oデッドバンドが問題になるような高速デバイスを試験する場合には、DRからDUTまでの経路と、DUTからCPまでの経路を分

2

けて試験する図5(a)に示すようなI/Oセパレート試験を行う。図5(b)で明らかなように、CP端でDUTからの読みだしデータRとDRの出力データWが合成されることはない。従って、CPでの正しい比較判定ができる。なお、DR端では、出力データWとDUTからの読みだしデータRが波形合成されるが、進行波同士の衝突は互いに通過するだけで影響を及ぼさず、DUTからの波形はDR端で終端されるためCP端には影響しない。

10 【0005】

【発明が解決しようとする課題】上記I/Oセパレート試験の接続状態で、図5(3)のVTを切り離し、ハイインピーダンス状態にし、DRからDUTを経由してCPまでの遅延時間 $T_b + T_c$ を測定できるが、DRからDUTまでの遅延時間 T_b 及びDUTからCPまでの遅延時間 T_c をそれぞれ区別して測定できない。本発明は、I/Oセパレート試験の接続状態でDRとDUT間及びDUTとCP間の遅延時間を測定する簡単な回路を実現することを目的としている。

20 【0006】

【課題を解決するための手段】上記目的を達成するために、本発明においては、I/Oコモンピンを2ピン使用しDUT1ピンに接続する、I/Oセパレート試験の接続回路において、DUTソケット端を接地している。また、DR専用ピンとI/Oコモンピンを使用し、DUT1ピンに接続する、I/Oセパレート試験の接続回路において、DUTソケット端を接地し、コンパレータとして、全ピン共通コンパレータを使用している。

【0007】

30 【作用】上記のように構成された回路では、コンパレータ端で各経路の伝播遅延時間長の2倍の時間長を示す波形が観測され、各々の経路遅延時間長を測定できる。

【0008】

【実施例】

(実施例1)図1(a)にI/Oコモンピン10を2ピン使用した場合の遅延時間測定回路ブロックを示す。つまりDUTソケット端を接地することで各経路遅延時間長を測定することができる。DRより出力された波形はケーブルを伝わりDUTソケット端に到達した時点で電位が接地レベルに下がり始める。この状態をDR端で観測したものが図1(b)の波形となる。これは、DR出力波形を、そのDR端にあるCPで観測するので、波形の立ち上がり点と立ち下がり点の間の時間長が、経路遅延時間長 T_b の2倍になる事を意味する。DUTとCP間の経路遅延時間長 T_c についても、CP端のDRを使用することで、測定できる。以上のように、DUTソケット端を接地することで、それぞれの経路遅延時間長を、実組配の状態で測定することが可能になる。

40 【0009】(実施例2)図2(a)にDR専用ピン11とI/Oコモンピン10を使用してI/Oセパレート

3

試験をする場合の経路遅延時間長 T_{cb1} を測定する回路ブロックを示す。この場合は、全ピン共通コンパレータ (STDCMP) 12 を使用することで、 T_{cb1} を測定することが可能になる。まず、スイッチ a 30 を OFF にし、スイッチ b 31 を ON にする。DR 専用ピン 11 から出力した波形が STDCMP 12 に入力するまでの経路 (イ) の経路遅延時間長 T_d を求める。続いて、スイッチ a 30、スイッチ b 31 を ON にし、DR から波形を印加する。接地された DUT ソケット端で反射した波形は、ケーブルを往復し、さらにスイッチ b 31 を通り STDCMP 12 に入力する。この経路を (ロ) とした時の STDCMP 12 の入力波形を図 2 (b) に示す。ここで、 $T_e - T_d$ が T_{cb1} の 2 倍の経路遅延時間長である。

【0010】

【発明の効果】本発明は、以上説明したように構成されているので、I/O セパレート試験の接続状態で、ケーブルを接続したまま、実配線の状態で、各々の経路遅延時間長を測定できる。得られた各測定データを I/O セパレート試験の遅延時間補正に用いることによって DU

4

T ピン端での読みだしサイクル、書き込みサイクルでのデータの重複をなくすることができる。

【図面の簡単な説明】

【図 1】本発明の回路ブロック図とタイミング図である。

【図 2】本発明の別の回路ブロック図とタイミング図である。

【図 3】I/O デッドバンドの説明図である。

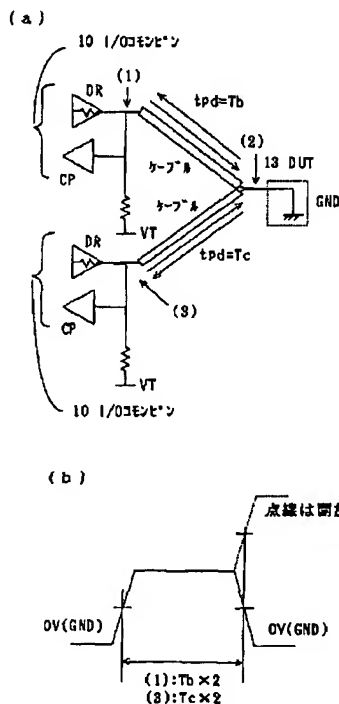
【図 4】DUT 側を開放端にした場合の経路遅延時間長の測定回路ブロック図とタイミング図である。

【図 5】従来の I/O コモンピンを使用した I/O セパレート試験の回路ブロック図とタイミング図である。

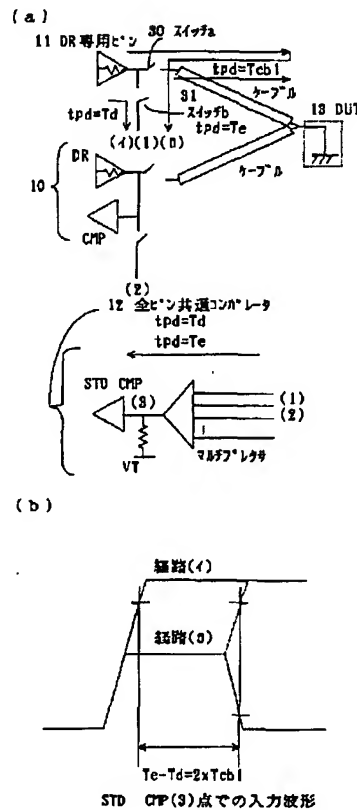
【符号の説明】

- | | |
|----|----------------------|
| 10 | I/O コモンピン |
| 11 | ドライバ (DR) 専用ピン |
| 12 | 全ピン共通コンパレータ (STDCMP) |
| 13 | 被試験デバイス (DUT) |
| 20 | I/O デッドバンド |
| 30 | スイッチ a |
| 31 | スイッチ b |

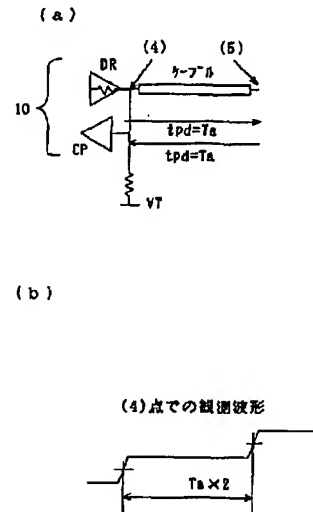
【図 1】



【図 2】



【図 4】



【图 5】

